

**(51) Internationale Patentklassifikation 6 :**

H01L 27/115, 21/8247, 29/788, G11C  
16/04

**A1**

(11) Internationale Veröffentlichungsnummer: WO 99/44238

(43) Internationales Veröffentlichungsdatum: 2. September 1999 (02.09.99)

(21) Internationales Aktenzeichen: PCT/DE99/00417

(22) Internationales Anmeldedatum: 15. Februar 1999 (15.02.99)

(30) Prioritätsdaten: 198 08 527.3 27. Februar 1998 (27.02.98) DE

(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS  
AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2,  
D-80333 München (DE).

(72) Erfinder; und  
(75) Erfinder/Anmelder (nur für US): WILLER, Josef [DE/DE];  
Friedrich-Fröbel-Strasse 62, D-85521 Riernering (DE).  
HOFMANN, Franz [DE/DE]; Herbergstrasse 25 B,  
D-80995 München (DE).

(74) Gemeinsamer Vertreter: SIEMENS AKTIENGE-  
SELLSCHAFT; Postfach 22 16 34, D-80506 München  
(DE).

(81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

**Veröffentlicht**

**Mit internationalem Recherchenbericht.**

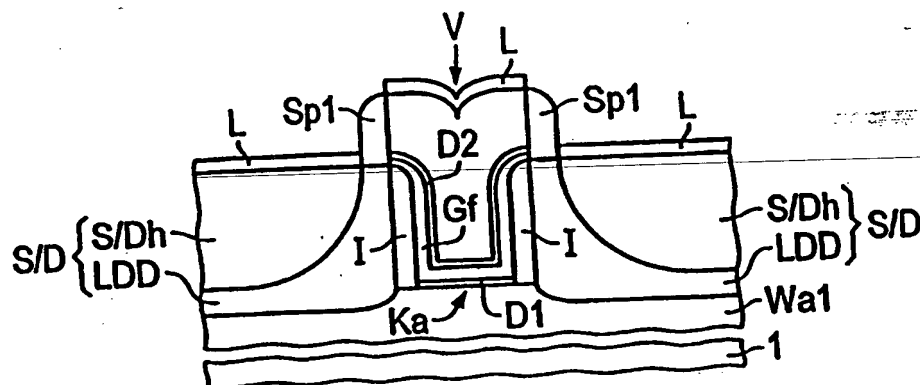
**Mit internationalem Recherchenbericht.  
Vor Ablauf der für Änderungen der Ansprüche zugelassenen  
Frist; Veröffentlichung wird wiederholt falls Änderungen  
eintreffen.**

(54) Title: ELECTRICALLY PROGRAMMABLE MEMORY CELL ARRANGEMENT AND METHOD FOR PRODUCING THE SAME

(54) Bezeichnung: ELEKTRISCH PROGRAMMIERBARE SPEICHERZELLENANORDNUNG UND VERFAHREN ZU DEREN HERSTELLUNG

**(57) Abstract**

A memory cell comprises a planar transistor whose channel area ( $K_a$ ) is located on a floor of an indentation (V) in a substrate (1). A floating gate electrode (Gf) of said transistor is adjacent at the bottom of the indentation (V), which is provided with a first dielectric (D1), and is situated at the sides of the indentation (V). The floating gate electrode (Gf) has a greater area than the channel area ( $K_a$ ) so that the capacitance created by control gate electrode (Gk) mounted on the floating gate electrode (Gf) and the floating gate electrode (Gf) Two source/drain (S/D) areas of first dielectric (D1) separates the contribute to the coupling ratio.



control gate electrode (Gk) mounted on the floating gate electrode (Gf) and the channel area (Ka). The floating gate electrode (Gf) is greater than the capacitance created by the floating gate electrode (Gf) and the channel area (Ka). Two source/drain (S/D) areas of the transistor are also adjacent to the sides of the indentation (V). Insulation (I) which is thicker than the first dielectric (D1) separates the floating gate electrode (Gf) from the source/drain (S/D) areas so that the source/drain (S/D) areas do not contribute to the coupling ratio.

**Best Available Copy**

# (57) Zusammenfassung

Eine Speicherzelle umfaßt einen planaren Transistor, dessen Kanalgebiet (Ka) an einem Boden einer Vertiefung (V) in einem Substrat (1) angeordnet ist. Eine Floating-Gateelektrode (Gf) des Transistors grenzt an den mit einem ersten Dielektrikum (D1) versehenen Boden der Vertiefung (V) an und ist an Flanken der Vertiefung (V) angeordnet. Da die Floating-Gateelektrode (Gf) eine größere Fläche als das Kanalgebiet (Ka) aufweist, ist eine Kapazität, die durch eine auf der Floating-Gateelektrode (Gf) aufgetragenen Kontroll-Gateelektrode (Gk) und die Floating-Gateelektrode (Gf) gebildet wird, größer als eine Kapazität, die durch die Floating-Gateelektrode (Gf) und das Kanalgebiet (Ka) gebildet wird. Zwei Source/Drain-Gebiete (S/D) des Transistors grenzen ebenfalls an die Flanken der Vertiefung (V) an. Eine Isolation (I), die dicker als das erste Dielektrikum (D1) ist, trennt die Floating-Gateelektrode (Gf) von den Source/Drain-Gebieten (S/D), so daß die Source/Drain-Gebiete (S/D) nicht zum Koppelverhältnis beitragen.

## LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbajdschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland			TR	Türkei
BG	Bulgarien	HU	Ungarn	ML	Mali	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MN	Mongolei	UA	Ukraine
BR	Brasilien	IL	Israel	MR	Mauritanien	UG	Uganda
BY	Belarus	IS	Island	MW	Malawi	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	MX	Mexiko	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NE	Niger	VN	Vietnam
CG	Kongo	KE	Kenia	NL	Niederlande	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NO	Norwegen	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	NZ	Neuseeland		
CM	Kamerun			PL	Polen		
CN	China	KR	Republik Korea	PT	Portugal		
CU	Kuba	KZ	Kasachstan	RO	Rumänien		
CZ	Tschechische Republik	LC	St. Lucia	RU	Russische Föderation		
DE	Deutschland	LI	Liechtenstein	SD	Sudan		
DK	Dänemark	LK	Sri Lanka	SE	Schweden		
EE	Estland	LR	Liberia	SG	Singapur		

## Beschreibung

Elektrisch programmierbare Speicherzellenanordnung und Verfahren zu deren Herstellung.

5

Die Erfindung betrifft eine elektrisch programmierbare Speicherzellenanordnung und ein Verfahren zu deren Herstellung.

Bei elektrisch programmierbaren Speichern auf Halbleiterbasis, sogenannten EEPROM's, wird die Information in Form von mindestens zwei unterschiedlichen Einsatzspannungen von Transistoren gespeichert. Zum Auslesen einer Information eines der Transistoren, wird an eine Kontroll-Gateelektrode des Transistors eine Spannung angelegt, die zwischen den zwei Einsatzspannungen liegt. Je nach dem, ob ein Strom durch den Transistor fließt oder nicht, werden die logischen Werte 0 oder 1 ausgelesen.

Durch eine Floating-Gateelektrode, die elektrisch isoliert und zwischen der Kontroll-Gateelektrode und einem Kanalgebiet des Transistors angeordnet ist, kann die Einsatzspannung des Transistors eingestellt werden. Dazu wird ein Spannungsabfall zwischen der Kontroll-Gateelektrode und dem Kanalgebiet oder einem Source/Drain-Gebiet des Transistors erzeugt, der ein Tunneln von Elektronen in die oder aus der Floating-Gateelektrode bewirkt. Eine unterschiedliche Ladung der Floating-Gateelektrode führt zu unterschiedlichen Einsatzspannungen des Transistors.

Der Name der Floating-Gateelektrode rührt daher, daß sie nicht an ein Potential angeschlossen ist, d.h. "floatet". Der Name der Kontroll-Gateelektrode rührt daher, daß sie sowohl die Programmierung steuert, als auch zum Auslesen der Information dient.

35

In der VLSI-Technologie wird eine Erhöhung der Packungsdichte von Schaltungsanordnungen angestrebt, um Prozeßkosten zu senken und Schaltungsgeschwindigkeiten zu erhöhen.

- 5 Um Kurzkanaleffekte bei hoher Packungsdichte zu vermeiden, wird in US 5 486 714 eine elektrisch programmierbare Speicherzellenanordnung vorgeschlagen, bei der Source/Drain-Gebiete eines Transistors, der als Speicherzelle wirkt, an oberen Teilen von zwei sich gegenüberliegenden Flanken einer
- 10 Vertiefung angeordnet werden. Ein Kanalgebiet des Transistors ist u-förmig und verläuft entlang der zwei Flanken und entlang eines Bodens der Vertiefung. Durch diese Anordnung wird bei hoher Packungsdichte eine große Kanallänge erzielt. Eine Floating-Gateelektrode grenzt an vier Flanken und an den Bo-
- 15 den der Vertiefung an. Im Bereich des Kanalgebiets ist die Vertiefung mit einem thermisch gewachsenen Gateoxid versehen. Zur Verkleinerung der Kapazität, die durch die Floating-Gateelektrode und das Kanalgebiet gebildet wird, ist das Gateoxid an den zwei Flanken der Vertiefung etwas dicker als am
- 20 Boden der Vertiefung. Beim Löschen der Information tunneln Elektronen nur am Boden der Vertiefung. Über der Floating-Gateelektrode ist eine Kontroll-Gateelektrode angeordnet, die durch ein zweites Dielektrikum von der Floating-Gateelektrode getrennt wird. Die Kontroll-Gateelektrode ist Teil einer
- 25 Wortleitung, die senkrecht zu einer Verbindungslinie zwischen den Source/Drain-Gebieten verläuft. Die Floating-Gateelektrode überlappt außerhalb der Vertiefung die Oberfläche des Substrats. Eines der Source/Drain-Gebiete ist über einen Kontakt mit einer Bitleitung verbunden. Nachteilig ist,
- 30 daß aufgrund des teilweise dicken Gateoxids nur ein sehr geringer Lesestrom zur Verfügung steht.

Eine weitere Speicherzellenanordnung ist in US 5 392 237 beschrieben. Hier ist die Floating-Gateelektrode ebenfalls in

35 einer Vertiefung angeordnet und grenzt an vier Flanken der Vertiefung an. An den zwei Flanken, an denen die Source/Drain-Gebiete nicht angeordnet sind, sind isolierende

Strukturen angeordnet. Das Gateoxid weist eine gleichförmige Dicke auf. Das Source-Gebiet umfaßt einen ersten Teil und einen zweiten Teil. Der erste Teil ist unterhalb des zweiten Teils angeordnet und weist eine kleinere Dotierstoffkonzentration als der zweite Teil auf. Der erste Teil grenzt an das Kanalgebiet an. Der erste Teil und der zweite Teil grenzen an eine Flanke der Vertiefung an.

In US 5 567 635 wird eine elektrisch programmierbare Speicherzellenanordnung beschrieben, bei der eine Speicherzelle einen MOS-FET, eine Floating-Gateelektrode und eine Kontroll-Gateelektrode umfaßt. Die Floating-Gateelektrode ist an vier Flanken und einem Boden einer Vertiefung angeordnet. An zwei sich gegenüberliegenden Flanken der Vertiefung grenzen zwei Source/Drain-Gebiete des MOS-FET an. An die übrigen zwei Flanken der Vertiefung grenzen isolierende Strukturen an. Ein Kanalgebiet ist am Boden der Vertiefung angeordnet. Der MOS-FET ist ein planarer Transistor. Die Floating-Gateelektrode wird durch ein erstes Dielektrikum von dem MOS-FET elektrisch isoliert. Das erste Dielektrikum ist an den zwei Flanken, an die die Source/Drain-Gebiete angrenzen, dünner als am Boden der Vertiefung. Ein Tunneln von Elektronen erfolgt nur an den zwei Flanken der Vertiefung. Die Floating-Gateelektrode wirkt als Gateelektrode des MOS-FET. Die Kontroll-Gateelektrode ist Teil einer Wortleitung, die parallel zu einer Verbindungslinie zwischen den zwei Source/Drain-Gebieten verläuft.

In JP 1-115164 wird eine elektrisch programmierbare Speicherzellenanordnung beschrieben, bei der Source/Drain-Gebiete eines Transistors an Flanken einer Vertiefung angrenzen. Die Flanken und ein Boden der Vertiefung sind mit einem ersten Dielektrikum versehen. An das erste Dielektrikum grenzt eine Floating-Gateelektrode, auf der ein zweites Dielektrikum und eine Kontroll-Gateelektrode angeordnet sind. Beim Schreiben und Auslesen von Information tunneln Elektronen an oberen und an unteren Kanten der Vertiefung zwischen der Floating-Gateelektrode und den Source/Drain-Gebieten des Transistors.

Das Koppelverhältnis ist das Verhältnis zwischen einer Kapazität, die durch eine Kontroll-Gateelektrode und einer Floating-Gateelektrode gebildet wird, und einer Kapazität, die  
5 durch die Floating-Gateelektrode und ein Kanalgebiet sowie Source/Drain-Gebiete eines Transistors, also durch die Floating-Gateelektrode und das Substrat, gebildet wird. Das Koppelverhältnis sollte möglichst groß sein, damit das Tunneln schon bei niedrigen Betriebsspannungen ausgelöst werden kann.

10

Der Erfindung liegt das Problem zugrunde, eine elektrisch programmierbare Speicherzellenanordnung anzugeben, die im Vergleich zum Stand der Technik ein großes Koppelverhältnis aufweist und trotzdem mit hoher Packungsdichte herstellbar  
15 ist. Ferner soll ein Verfahren zur Herstellung einer solchen elektrisch programmierbaren Speicherzellenanordnung angegeben werden.

Dieses Problem wird gelöst durch eine elektrisch programmierbare Speicherzellenanordnung nach Anspruch 1 und durch ein  
20 Verfahren zu deren Herstellung nach Anspruch 9. Weitere Ausgestaltungen der Erfindung gehen aus den übrigen Ansprüchen hervor.

Bei einer erfindungsgemäßen elektrisch programmierbaren Speicherzellenanordnung umfaßt ein Substrat Speicherzellen mit jeweils einem planaren Transistor. Ein Kanalgebiet des Transistors ist im Substrat an mindestens einem Teil eines Bodens einer Vertiefung, der mit einem ersten Dielektrikum versehen  
25 ist, angeordnet. Vorzugsweise grenzt das Kanalgebiet an den gesamten Boden der Vertiefung an. Der Boden der Vertiefung ist im Bereich des Kanalgebiets mit einem ersten Dielektrikum versehen. An das Kanalgebiet grenzen zwei Source/Drain-Gebiete des Transistors an, wobei ein zu einer Oberfläche des  
30 Substrats paralleler Querschnitt durch das Kanalgebiet die zwei Source/Drain-Gebiete schneidet. Dieser Querschnitt verläuft in der Nähe des Bodens der Vertiefung. Teile der zwei  
35

Source/Drain-Gebiete sind also in derselben Höhe wie das Kanalgebiet angeordnet. Eine Floating-Gateelektrode des Transistors grenzt an das erste Dielektrikum an und ist teilweise an mindestens zwei sich gegenüberliegende Flanken der Vertiefung angeordnet. Die Vertiefung wird durch die Floating-Gateelektrode verengt, aber nicht ausgefüllt. Über der Floating-Gateelektrode ist eine Kontroll-Gateelektrode angeordnet, die durch ein zweites Dielektrikum von der Floating-Gateelektrode isoliert ist. Die Kontroll-Gateelektrode ist mit einer Wortleitung elektrisch verbunden. Die Dicke des ersten Dielektrikums ist so bemessen, daß Elektronen beim Programmieren und beim Löschen der Speicherzelle durch sie tunneltun können. Die Source/Drain-Gebiete grenzen an die zwei Flanken der Vertiefung an. Die zwei Source/Drain-Gebiete reichen also von der Oberfläche des Substrats bis in einen Bereich des Bodens der Vertiefung. Die zwei Flanken der Vertiefung sind mit einer Isolation versehen, um eine Kapazität, die durch die Floating-Gateelektrode und die Source/Drain-Gebiete gebildet wird, zu vermeiden. Die Dicke der Isolation ist mindestens so bemessen, daß beim Programmieren kein Tunneln von Elektronen durch die Isolation in oder aus der Floating-Gateelektrode erfolgt.

Eine Kapazität, die durch die Kontroll-Gateelektrode und die Floating-Gateelektrode gebildet wird, ist größer als eine Kapazität, die durch die Floating-Gateelektrode und das Kanalgebiet gebildet wird, da die Floating-Gateelektrode im Gegensatz zum Kanalgebiet auch an mindestens zwei Flanken der Vertiefung angeordnet ist, und somit eine Fläche zwischen der Kontroll-Gateelektrode und der Floating-Gateelektrode größer ist als eine Fläche zwischen dem Kanalgebiet und der Floating-Gateelektrode. Eine Kapazität zwischen der Floating-Gateelektrode und den Source/Drain-Gebieten ist vernachlässigbar. Die Source/Drain-Gebiete tragen nicht zum Koppelverhältnis bei. Das Koppelverhältnis ist folglich groß. Da die Vergrößerung in vertikaler Richtung erfolgt, kann eine hohe Packungsdichte realisiert werden.

Zur Prozeßvereinfachung und zur Erhöhung der Packungsdichte ist es vorteilhaft, wenn Kontroll-Gateelektroden Wortleitungen bilden.

5

Die Vertiefung kann im Substrat oder in einer auf dem Substrat angeordneten Schicht erzeugt werden. Sie kann auch teilweise in einer Schicht und im Substrat erzeugt werden.

- 10 Die Isolation ist beispielsweise spacerförmig und kann durch Abscheiden und Rückätzen von isolierendem Material erzeugt werden. Die Dicke der Isolation beträgt z. B. 30 nm.

- 15 Um die Herstellung möglichst kompatibel zur Herstellung von herkömmlichen planaren Transistoren zu machen, ist es vorteilhaft, wenn die Vertiefung im Substrat erzeugt wird.

- 20 Um eine Kapazität, die durch die Wortleitung und jeweils eines der zwei Source/Drain-Gebiete gebildet wird, zu vermeiden, sind die zwei Source/Drain-Gebiete vorzugsweise so angeordnet, daß keine Verbindungslinie zwischen ihnen parallel zum Verlauf der Wortleitung ist und der Stromfluß zwischen ihnen quer zur Wortleitung verläuft. Das heißt, daß die Wortleitung im wesentlichen parallel zu Schnittlinien, die durch die Oberfläche des Substrats und die zwei Flanken der Vertiefung gebildet werden, verläuft. Aus demselben Grund ist es vorteilhaft, wenn die Wortleitung die zwei Source/Drain-Gebiete nicht überlappt, d.h. zwischen den zwei Source/Drain-Gebieten angeordnet ist.

30

- Die zwei Source/Drain-Gebiete können durch Implantation der Oberfläche des Substrats erzeugt werden. Alternativ wird als Teil des Substrats eine in situ epitaktisch aufgewachsene Schicht erzeugt und strukturiert. Eine weitere Möglichkeit besteht darin, Dotierstoff aus einer Dotierstoffquelle in das Substrat zu diffundieren.
- 35



Die Vertiefung kann ein Graben sein, dessen Länge größer ist als seine Breite. In diesem Fall sind im Graben mehrere Floating-Gateelektroden verschiedener Transistoren angeordnet.

- 5 Zur Erhöhung der Kapazität zwischen der Kontroll-Gateelektrode und der Floating-Gateelektrode ist es vorteilhaft, wenn die Vertiefung lochartig ist und z.B. zwei weitere Flanken aufweist, an die die Floating-Gateelektrode ebenfalls angrenzt. Dadurch vergrößert sich die Fläche zwischen der
- 10 Floating-Gateelektrode und der Kontroll-Gateelektrode im Vergleich zur Fläche zwischen Floating-Gateelektrode und dem Kanalgebiet noch mehr. Das Koppelverhältnis erhöht sich.

- Um zu verhindern, daß sich zwischen entlang der Wortleitung
- 15 benachbarten Source/Drain-Gebieten verschiedener Transistoren aufgrund der Wortleitung ein Kanalstrom ausbildet, ist es vorteilhaft, zwischen entlang der Wortleitung benachbarten Vertiefungen erste isolierende Strukturen anzuordnen. In diesem Fall ist die Vertiefung zwischen zwei der ersten isolierenden Strukturen angeordnet, die die zwei weiteren Flanken
- 20 der Vertiefung bilden. Die Wortleitung überlappt die ersten isolierenden Strukturen und eine Verbindungslinie zwischen den zwei ersten isolierenden Strukturen verläuft parallel zu ihr.

25

- Die ersten isolierenden Strukturen können beispielsweise erzeugt werden, indem vor Erzeugung der Vertiefung im wesentlichen parallel zueinander verlaufende Gräben erzeugt werden, die mit isolierendem Material aufgefüllt werden. Die ersten
- 30 isolierenden Strukturen füllen die Gräben auf. Durch maskiertes Ätzen können dann die Vertiefungen zwischen den Gräben erzeugt werden. Um zu gewährleisten, daß die zwei weiteren Flanken der Vertiefung durch die ersten isolierenden Strukturen gebildet werden, ist es vorteilhaft, wenn beim maskierten
- 35 Ätzen eine streifenförmige Maske verwendet wird, deren Streifen quer zu den Gräben verlaufen. Alternativ bedeckt die Mas-

ke nur jene Bereiche des Substrats nicht, in denen die Vertiefungen erzeugt werden.

5 Eine andere Möglichkeit die ersten isolierenden Strukturen zu erzeugen, besteht darin, die Vertiefungen durch teilweises Entfernen vom isolierenden Material in den Gräben zu erzeugen. In diesem Fall sind die ersten isolierenden Strukturen säulenförmig.

10 Die Floating-Gateelektrode wird durch Strukturierung einer leitenden ersten Schicht, die die Vertiefung verengt, aber nicht ausfüllt, erzeugt.

15 Es ist vorteilhaft, wenn die Floating-Gateelektrode nicht nennenswert aus der Vertiefung herausragt. In diesem Fall kann zur Strukturierung der leitenden ersten Schicht die leitende erste Schicht planarisiert werden, bis außerhalb der Vertiefung befindliche Teile der leitenden ersten Schicht entfernt wurden. Auf diese Weise ist für die Erzeugung der  
20 Floating-Gateelektrode keine Maske erforderlich, was den Prozeß vereinfacht. Zum Planarisieren der leitenden ersten Schicht kann Planarisierungsmaterial abgeschieden werden, das gleichzeitig mit der leitenden ersten Schicht planarisiert wird. Nachdem die außerhalb der Vertiefung befindlichen Teile  
25 der leitenden ersten Schicht entfernt werden, kann übrigbleibendes Planarisierungsmaterial entfernt werden.

Zur Vermeidung von Kurzkanaleffekten ist es vorteilhaft, wenn die zwei Source/Drain-Gebiete jeweils einen ersten Teil und  
30 einen daran angrenzenden zweiten Teil umfassen. Erste Teile der zwei Source/Drain-Gebiete sind jeweils an eine der zwei Flanken der Vertiefung und angrenzend an das Kanalgebiet angeordnet und weisen eine niedrigere Dotierstoffkonzentration als zweite Teile der Source/Drain-Gebiete auf, die weder an  
35 die Flanken der Vertiefung noch an das Kanalgebiet angrenzen.

Die zweiten Teile der Source/Drain-Gebiete können durch Implantation mit Hilfe einer Maske erzeugt werden. Zur Vereinfachung ist es vorteilhaft, wenn die Maske aus der Wortleitung und aus entlang der Wortleitung angrenzenden  
5 Spacer besteht. Die Spacer können ohne großen Aufwand erzeugt werden, indem nach Erzeugung der Wortleitung Material abgeschieden und rückgeätzt wird.

Die Spacer können entfernt oder stehengelassen werden. Werden  
10 die Spacer stehengelassen, so ist es vorteilhaft, wenn die Spacer aus isolierendem Material erzeugt werden, da dadurch eine Kapazität zwischen der Wortleitung und den zwei Source/Drain-Gebieten vermieden wird.

Um die Herstellung möglichst kompatibel zur Herstellung von  
15 herkömmlichen planaren Transistoren zu machen, ist es vorteilhaft, wenn die ersten Teile der zwei Source/Drain-Gebiete durch Implantation erzeugt werden, wobei die Wortleitung als Maske dient. In diesem Fall werden die Spacer erst nach Er-  
20 zeugung der ersten Teile der zwei Source/Drain-Gebiete erzeugt.

Die ersten Teile der Source/Drain-Gebiete können auch vor Er-  
zeugung der Vertiefung erzeugt werden. Beispielsweise entstehen  
25 sie aus einer dotierten Schicht des Substrats, die durch die Vertiefung und die ersten isolierenden Strukturen strukturiert wird.

Quer zur Wortleitung verläuft eine Bitleitung. Entlang der  
30 Bitleitung benachbarte Transistoren können in Reihe (NAND-Architektur) oder parallel (NOR-Architektur) geschaltet sein. Sind die besagten Transistoren in Reihe geschaltet, so bilden sie die Bitleitung. Sind die besagten Transistoren parallel  
zueinander geschaltet, so ist jeweils ein Source/Drain-Gebiet  
35 dieser Transistoren mit der Bitleitung verbunden. Die Verbindung geschieht beispielsweise über einen Kontakt.

In beiden Fällen ist es zur Erhöhung der Packungsdichte vorteilhaft, wenn jeweils zwei der entlang der Bitleitung zueinander benachbarten Transistoren ein gemeinsames Source/Drain-Gebiet aufweisen.

5

Es ist vorteilhaft, wenn in dem Substrat eine Peripherie der Speicherzellenanordnung angeordnet ist, die planare Transistoren und/oder planare Hochvolt-Transistoren umfaßt. Hochvolt-Transistoren werden mit hohen Spannungen, z.B. 18 Volt, betrieben und benötigen große Kanallängen. Die Hochvolt-Transistoren schalten z.B. Programmierspannungen, die höher als die Lesespannung sind. Sie dienen zum Schreiben oder Löschen der Speicherzellen.

15 Zur Prozeßvereinfachung ist es vorteilhaft, wenn die planaren Transistoren und die planaren Hochvolt-Transistoren der Peripherie gleichzeitig mit den Transistoren der Speicherzellen erzeugt werden.

20 Beispielsweise können die ersten isolierenden Strukturen zusammen mit zweiten isolierenden Strukturen der Transistoren der Peripherie und mit dritten isolierenden Strukturen der Hochvolt-Transistoren der Peripherie erzeugt werden. Die zweiten isolierenden Strukturen umgeben jeweils einen der  
25 Transistoren der Peripherie. Die dritten isolierenden Strukturen umgeben jeweils einen der Hochvolt-Transistoren der Peripherie.

Des weiteren kann nach Erzeugung eines Gatedielektrikums des  
30 Transistors der Peripherie und eines Gatedielektrikums des Hochvolt-Transistors der Peripherie eine zweite Schicht aufgebracht und strukturiert werden, wodurch gleichzeitig die Kontroll-Gateelektrode als Teil der Wortleitung, eine Gateelektrode des Transistors der Peripherie und eine Gateelektrode des Hochvolt-Transistors der Peripherie entstehen.  
35

- Die ersten Teile der zwei Source/Drain-Gebiete des Transistors der Speicherzelle, erste Teile von Source/Drain-Gebieten des Transistors der Peripherie und erste Teile von Source/Drain-Gebieten des Hochvolt-Transistors der Peripherie können gleichzeitig durch Implantation erzeugt werden, wobei die Wortleitung, die Gateelektrode des Transistors der Peripherie und die Gateelektrode des Hochvolt-Transistors der Peripherie als Masken wirken, wie es im herkömmlichen Verfahren zur Erzeugung von planaren Transistoren üblich ist. Sämtliche erste Teile der Source/Drain-Gebiete sind niedriger dotiert als zweite Teile der Source/Drain-Gebiete. Die ersten Teile grenzen an zugehörige Kanalgebiete an, wodurch Kurzkanaleffekte unterdrückt werden.
- Die zweiten Teile der zwei Source/Drain-Gebiete des Transistors der Speicherzelle, zweite Teile der Source/Drain-Gebiete des Transistors der Peripherie und zweite Teile der Source/Drain-Gebiete des Hochvolt-Transistors der Peripherie können gleichzeitig erzeugt werden, wobei die Spacer und weitere Spacer, die gleichzeitig mit den Spacern an Flanken der Gateelektrode des Transistors der Peripherie und der Gateelektrode des Hochvolt-Transistors der Peripherie erzeugt werden, als Maske wirken. Da beim Hochvolt-Transistor Kurzkanaleffekte besonders kritisch sind, ist es vorteilhaft, dabei eine z.B. stegförmige Maske zu verwenden, die die Gateelektrode des Hochvolt-Transistors, die zugehörigen Spacer und einen umgebenden Bereich bedeckt, um die ersten Teile der Source/Drain-Gebiete des Hochvolt-Transistors besonders groß zu gestalten.
- Der Transistor der Speicherzelle, der Transistor der Peripherie und der Hochvolt-Transistor der Peripherie können n-Kanal- oder p-Kanal-Transistoren sein.
- Im folgenden wird eine mögliche Betriebsweise der erfindungsgemäßen elektrisch programmierbaren Speicherzellen beschrieben.

Im Fall der NOR-Architektur wird zum Schreiben des logischen Werts 1 auf einen Transistor die zugehörige Wortleitung auf eine Spannung von -12 Volt und die dazugehörige Bitleitung auf eine Spannung von 5 Volt gelegt. Die übrigen Wortleitungen und die übrigen Bitleitungen liegen auf 0 Volt. Aufgrund des Spannungsabfalls zwischen der Wortleitung, d.h. der Kontroll-Gateelektrode des Transistors und der Bitleitung, d.h. einem Source/Drain-Gebiet des Transistors, tunneln Elektronen durch das erste Dielektrikum von der Floating-Gateelektrode in das Source/Drain-Gebiet. Beim Löschen liegt an der Bitleitung eine Spannung von 0 Volt an, während die Wortleitung auf 17 Volt gelegt wird, so daß Elektronen aus dem Kanalgebiet in die Floating-Gateelektrode tunneln können. Dies entspricht dem logischen Wert 0.

Im Fall der NAND-Architektur wird der Transistor programmiert, indem an die Wortleitung eine Spannung von 17 Volt angelegt wird, während die Bitleitung auf 0 Volt bleibt. Damit entlang der Wortleitung benachbarte Transistoren nicht ebenfalls programmiert werden, können die benachbarten Bitleitungen auf eine Spannung von ca. 8 Volt gelegt werden. Das Löschen kann dadurch erfolgen, daß die Wortleitungen auf 0 Volt gelegt werden, während das Kanalgebiet über die Wanne auf ca. 16 Volt gelegt wird.

Zum Auslesen der Information des Transistors wird im Fall der NOR-Architektur die zugehörige Wortleitung auf eine Spannung von ca. 2,5 Volt gelegt, die zwischen den zwei möglichen Einsatzspannungen des Transistors, entsprechend den logischen Werten 0 oder 1, liegt. Über die Bitleitung wird bewertet, ob ein Strom durch den Transistor fließt oder nicht.

Im Fall der NAND-Architektur wird zum Auslesen der Information des Transistors die Wortleitung auf ca. 2,5 Volt gelegt, während die übrigen Wortleitungen auf ca. 5 Volt gelegt wer-

den. Dann wird bewertet, ob bei ca. 5 Volt an der Bitleitung ein Strom fließt oder nicht.

Im folgenden wird ein Ausführungsbeispiel der Erfindung, das  
5 in den Figuren dargestellt ist, näher erläutert.

10 Figur 1a zeigt einen Ausschnitt aus einem Querschnitt durch ein Substrat im Bereich von Speicherzellen, nachdem eine erste Maske, erste isolierende Strukturen (in Figur 5d dargestellt), eine zweite isolierende Struktur (in Figur 1b dargestellt), eine dritte isolierende Struktur (in Figur 1c dargestellt), eine erste Wanne, eine zweite Wanne und eine dritte Wanne erzeugt wurden.

15 Figur 1b zeigt einen Ausschnitt aus einem Querschnitt durch das Substrat im Bereich einer Peripherie der Speicherzellenanordnung nach den Prozeßschritten aus Figur 1a.

20 Figur 1c zeigt einen weiteren Ausschnitt aus einem Querschnitt durch das Substrat im Bereich der Peripherie nach den Prozeßschritten aus Figur 1a.

25 Figur 2 zeigt den Ausschnitt aus Figur 1a, nachdem Vertiefungen, eine Isolation, ein erstes Dielektrikum und eine leitende erste Schicht erzeugt wurden.

30 Figur 3 zeigt den Ausschnitt aus Figur 2, nachdem eine Floating-Gateelektrode und eine ONO-Schicht erzeugt wurden.

35 Figur 4a zeigt den Ausschnitt aus Figur 3, nachdem die ONO-Schicht und die erste Maske im Bereich der Peripherie entfernt wurden und ein Gatedielektrikum eines Transistors der Peripherie, ein Gatedielektrikum

eines Hochvolt-Transistors der Peripherie und eine zweite Schicht erzeugt wurden.

5      Figur 4b zeigt den Ausschnitt aus Figur 1b nach den Prozeßschritten aus Figur 4a.

Figur 4c zeigt den Ausschnitt aus Figur 1c nach den Prozeßschritten aus Figur 4a.

10    Figur 5a zeigt den Ausschnitt aus Figur 4a, nachdem eine Kontroll-Gateelektrode, eine Gateelektrode des Transistors der Peripherie, eine Gateelektrode des Hochvolt-Transistors der Peripherie, erste Teile von Source/Drain-Gebieten von Transistoren von Speicherzellen, erste Teile von Source/Drain-Gebieten des Transistors der Peripherie, erste Teile der Source/Drain-Gebiete des Hochvolt-Transistors der Peripherie und ein Postoxid erzeugt wurden.

15    20    Figur 5b zeigt den Ausschnitt aus Figur 4b nach den Prozeßschritten aus Figur 5a.

Figur 5c zeigt den Ausschnitt aus Figur 4c nach den Prozeßschritten aus Figur 4c.

25    Figur 5d zeigt einen zum Querschnitt aus Figur 5a senkrechten Querschnitt durch das Substrat nach den Prozeßschritten aus Figur 5a.

30    Figur 6a zeigt den Ausschnitt aus Figur 5a, nachdem erste Spacer, zweite Spacer, dritte Spacer, zweite Teile der Source/Drain-Gebiete, zweite Teile der Source/Drain-Gebiete des Transistors der Peripherie, zweite Teile des Hochvolt-Transistors der Peripherie, leitende Strukturen, leitende Strukturen des Transistors der Peripherie und leitende Strukturen des Hochvolt-Transistors der Peripherie erzeugt

35



wurden. Ferner ist die Lage eines Stegs aus Fotolack dargestellt, der vor der Erzeugung der leitenden Strukturen entfernt wurde.

- 5    Figur 6b zeigt den Ausschnitt aus Figur 5b nach den Prozeßschritten aus Figur 6a.

Figur 6c zeigt den Querschnitt aus Figur 5c nach den Prozeßschritten aus Figur 6a.

10

Figur 7a zeigt einen Ausschnitt aus einer Aufsicht auf eine Speicherzellenanordnung in NAND-Architektur.

15

Figur 7b zeigt einen Ausschnitt aus einer Aufsicht auf eine Speicherzellenanordnung in NOR-Architektur.

Die Figuren sind nicht maßstabsgerecht.

- 20    Ausgangsmaterial ist ein p-dotiertes Substrat 1 aus Silizium. Zur Erzeugung einer ersten Maske M1 wird  $\text{SiO}_2$  in einer Dicke von ca. 20 nm abgeschieden und darüber Siliziumnitrid in einer Dicke von ca. 40 nm abgeschieden und durch ein fotolithografisches Verfahren so strukturiert, daß die erste Maske M1 in einem ersten Bereich längliche rechteckige Gebiete nicht be-
- 25    deckt und in einem zweiten Bereich ein Gebiet um einen zu erzeugenden Transistor einer Peripherie einer Speicherzellenanordnung und ein Gebiet um einen zu erzeugenden Hochvolt-Transistor der Peripherie nicht bedeckt. Mit Hilfe der ersten Maske M1 wird Silizium ca. 250 nm tief geätzt. Als Ätzmittel
- 30    ist z. B. HBr geeignet. Durch Abscheiden von  $\text{SiO}_2$  in einer Dicke von ca. 300 nm und anschließendem chemisch-mechanischem Polieren, bis die erste Maske M1 freigelegt wird, entstehen im ersten Bereich erste isolierende Strukturen I1 (vgl. Figur 5d) und im zweiten Bereich eine zweite isolierende Struktur
- 35    I2 (vgl. Figur 1b) und eine dritte isolierende Struktur I3 (vgl. Figur 1c). Entlang einer in einer Oberfläche O des Substrats 1 verlaufenden y-Achse Y benachbarte erste isolierende

- Strukturen I1 weisen in Richtung der y-Achse Y einen Abstand von ca. 200 nm voneinander auf. Eine zur y-Achse Y parallele Abmessung der ersten isolierenden Strukturen I1 beträgt ca. 200 nm. Entlang einer in der Oberfläche O und senkrecht zur y-Achse Y verlaufenden x-Achse X benachbarte erste isolierende Strukturen I1 weisen einen Abstand von ca. 200 nm voneinander auf. Eine zur x-Achse X parallele Abmessung der ersten isolierenden Strukturen I1 beträgt ca. 3200 nm. Endpunkte der entlang der y-Achse Y benachbarten ersten isolierenden Strukturen I1 sind entlang einer zur y-Achse Y parallelen Linie angeordnet. Endpunkte der entlang der x-Achse X benachbarten ersten isolierenden Strukturen I1 sind entlang einer zur x-Achse X parallelen Linie angeordnet.
- 15 Durch maskierte Implantationen mit p-dotierenden Ionen werden im ersten Bereich eine ca. 400nm tiefe erste Wanne Wa1 und im zweiten Bereich eine zweite ca. 200 nm tiefe Wanne Wa2 und eine ca. 200 nm tiefe dritte Wanne Wa3 erzeugt. Die zweite Wanne Wa2 wird von der zweiten isolierenden Struktur I2 umgeben, und die dritte Wanne Wa3 wird von der dritten isolierenden Struktur I3 umgeben (s. Figur 1a,b,c). Die Dotierstoffkonzentration der ersten Wanne Wa1, der zweiten Wanne Wa2 und der dritten Wanne Wa3 beträgt ca.  $10^{17} \text{ cm}^{-3}$ .
- 25 Mit Hilfe einer zweiten Maske (nicht dargestellt), deren Streifen parallel zur y-Achse Y verlaufen, werden im ersten Bereich des Substrats 1 zwischen den ersten isolierenden Strukturen I1 ca. 200 nm tiefe Vertiefungen V erzeugt. Als Ätzmittel ist z.B. HBr geeignet. Jede Vertiefung V grenzt mit zwei seiner Flanken an zwei zueinander benachbarte erste isolierende Strukturen I1 an. Eine zur x-Achse X parallele Abmessung der Vertiefungen V beträgt ca. 200 nm. Parallel zur x-Achse X benachbarte Vertiefungen V weisen einen Abstand von ca. 200 nm auf (s. Figur 2).
- 35 Zum Entfernen von Ätزرückständen wird ein ca. 10 nm dickes

Opferoxid (nicht dargestellt) thermisch aufgewachsen und anschließend mit z. B. HF wieder entfernt.

5 Zur Erzeugung einer Isolation I an den Flanken der Vertiefungen V wird in einem TEOS-Verfahren  $\text{SiO}_2$  in einer Dicke von ca. 30 nm abgeschieden und rückgeätzt, bis die erste Maske M1 freigelegt wird (s. Figur 2). Die Isolation I ist spacerförmig und ist ca. 30 nm dick.

10 Anschließend wird durch thermische Oxidation ein ca. 8 nm dickes erstes Dielektrikum D1, das als Tunneloxid wirkt, an Böden der Vertiefungen V erzeugt (s. Figur 2).

15 Durch Abscheiden von in situ dotiertem Polysilizium wird eine ca. 20 nm dicke leitende erste Schicht L1 erzeugt (s. Figur 2).

Anschließend wird Planarisierungs-Lack in einer Dicke von ca. 500 nm abgeschieden und durch chemisch-mechanisches Polieren  
20 planarisiert, bis die leitende erste Schicht L1 teilweise freigelegt wird. Anschließend wird die leitende erste Schicht L1 zusammen mit dem Planarisierungs-Lack chemisch-mechanisch poliert, bis die erste Maske M1 freigelegt wird. Dadurch werden außerhalb der Vertiefung V liegende Teile der leitenden  
25 ersten Schicht L1 entfernt. Übrigbleibende Teile der leitenden ersten Schicht L1 bedecken die vier Flanken und den Boden jeder Vertiefung V und bilden Floating-Gateelektroden Gf von Transistoren von Speicherzellen (s. Figur 3). Übrigbleibende Teile des Planarisierungs-Lacks werden entfernt. Mit z.B.  
30 Phosphorsäure wird Siliziumnitrid der ersten Maske M1 entfernt.

Zur Erzeugung einer ONO-Schicht ONO wird zunächst ca. 3 nm dickes thermisches  $\text{SiO}_2$  aufgewachsen. Anschließend wird Siliziumnitrid in einer Dicke von ca. 10 nm abgeschieden und so-  
35 lange aufoxidiert, bis sich eine oxidäquivalente Dicke von ca. 15nm ergibt. Dadurch entsteht eine dreiteilige ONO-

Schicht ONO, bei der Siliziumnitrid zwischen Oxiden angeordnet ist (s. Figur 3). Durch ein fotolithografisches Verfahren wird die ONO-Schicht ONO im zweiten Bereich des Substrats 1 entfernt. Als Ätzmittel ist z.B. HF geeignet. Anschließend  
5 wird die erste Maske M1 im zweiten Bereich des Substrats 1 entfernt. Als Ätzmittel sind z.B. HF geeignet.

Durch thermische Oxidation wird  $\text{SiO}_2$  in einer Dicke von ca. 25 nm aufgewachsen. Auf dem Gebiet, das von der dritten isolierenden Struktur I3 umgeben wird, entsteht dadurch ein Gatedielektrikum Gd2 des Hochvolt-Transistors der Peripherie. Durch ein fotolithografisches Verfahren wird in dem Gebiet, das von der zweiten isolierenden Struktur I2 umgeben wird,  $\text{SiO}_2$  mit z. B. HF durch isotropes Ätzen entfernt. Anschließend  
15 wird durch thermische Oxidation  $\text{SiO}_2$  in einer Dicke von ca. 7 nm im von der zweiten isolierenden Struktur I2 umschlossenen Gebiet aufgewachsen, wodurch ein Gatedielektrikum Gd1 des Transistors der Peripherie entsteht. Das Gatedielektrikum Gd2 des Hochvolt-Transistors der Peripherie wird dabei  
20 etwas dicker (s. Figur 4b und 4c). Zur Erzeugung einer zweiten Schicht L2 wird undotiertes Polysilizium in einer Dicke von ca. 100 nm abgeschieden (s. Figur 4a, b, c).

Mit Hilfe einer dritten Maske (nicht dargestellt), die im ersten Bereich des Substrats 1 streifenförmig ist, und deren  
25 Streifen parallel zur y-Achse Y verlaufen und die Vertiefungen V bedecken, wird die zweite Schicht L2 mit z.B. HBr hochselektiv zu  $\text{SiO}_2$  geätzt, wobei die ONO-Schicht ONO als Ätzstop wirkt. Dabei entstehen aus der zweiten Schicht L2 Kontroll-Gateelektroden Gk, die parallel zur y-Achse Y verlaufende Wortleitungen bilden. Mit Hilfe der dritten Maske wird die ONO-Schicht ONO mit z.B. HF strukturiert (s. Figur 5a). Dabei entstehen aus der ONO-Schicht ONO zweite Dielektrika D2  
30 (s. Figur 5d). Ebenfalls mit Hilfe der dritten Maske werden  
35 eine Gateelektrode Ga1 des Transistors der Peripherie und eine Gateelektrode Ga2 des Hochvolt-Transistors der Peripherie erzeugt (s. Figur 5b und c).

Um unter anderem die Gefahr von Kurzschlüssen zwischen Wortleitungen und dem Substrat 1 zu verkleinern, wird durch thermische Oxidation ein sogenanntes Postoxid P aufgewachsen  
5 (siehe Fig. 5a, b, c).

Anschließend werden durch maskierte Implantationen mit n-dotierenden Ionen ca. 200 nm tiefe erste Teile LDD von Source/Drain-Gebieten S/D der Transistoren der Speicherzellen, ca. 100 nm tiefe erste Teile LDD1 von Source/Drain-Gebieten S/D1 des Transistors der Peripherie und ca. 100 nm tiefe erste Teile LDD2 von Source/Drain-Gebieten S/D2 des Hochvolt-Transistors der Peripherie erzeugt (s. Figur 5a,b,c). Die Wortleitungen, die Gateelektrode Ga1 des Transistors der Peripherie und die Gateelektrode Ga2 des Hochvolt-Transistors der Peripherie dienen als Maske und werden dabei implantiert. Um in den Figuren nicht gezeigte Bereiche des Substrats 1 vor der Implantation zu schützen, kann zusätzlich eine Fotolackmaske verwendet werden.

20 Die Dotierstoffkonzentration der ersten Teile LDD der Source/Drain-Gebiete S/D der Transistoren der Speicherzellen, der ersten Teile LDD1 der Source/Drain-Gebiete S/D1 des Transistors der Peripherie und der ersten Teile LDD2 der Source/Drain-Gebiete S/D2 des Hochvolt-Transistors der Peripherie beträgt ca.  $10^{18} \text{ cm}^{-3}$ . Diese ersten Teile LDD, LDD1, LDD2 entstehen also selbstjustiert bezüglich der Wortleitungen, der Gateelektrode Ga1 des Transistors der Peripherie und der Gateelektrode Ga2 des Hochvolt-Transistors der Peripherie.

30 Die ersten Teile LDD der Source/Drain-Gebiete S/D der Transistoren der Speicherzellen grenzen jeweils an eine von zwei sich gegenüber liegenden Flanken der Vertiefungen V an und reichen bis in einen Bereich der Böden der Vertiefungen V.

35 Zur Erzeugung von ersten Spacern Sp1, zweiten Spacern Sp2 und dritten Spacern Sp3 wird  $\text{SiO}_2$  in einer Dicke von ca. 50 nm abgeschieden und rückgeätzt. Dadurch entstehen die ersten

- Spacer Sp1 entlang Flanken der Wortleitungen (s. Figur 6a), die zweiten Spacer Sp2 entlang Flanken der Gateelektrode Ga1 des Transistors der Peripherie und die dritten Spacer Sp3 entlang Flanken der Gateelektrode Ga2 des Hochvolt-
- 5 Transistors der Peripherie (s. Figur 6a,b,c). Da beim Rückätzen das Postoxid P teilweise weggeätzt wird, wird zur Erzeugung eines Streuoxids (nicht dargestellt) in einem TEOS-Verfahren ca. 10nm SiO<sub>2</sub> abgeschieden.
- 10 Anschließend wird ein Steg aus Fotolack F erzeugt, die Ränder der Gateelektrode Ga2 des Hochvolt-Transistors überlappt sowie einen sie umgebenden Bereich bedeckt, erzeugt (siehe Figur 6c).
- 15 Durch Implantation mit n-dotierenden Ionen werden ca. 150nm tiefe zweite Teile S/Dh der Source/Drain-Gebiete S/D der Transistoren der Speicherzellen, ca. 150 nm tiefe zweite Teile S/Dh1 der Source/Drain-Gebiete S/D1 des Transistors der Peripherie und ca. 150nm tiefe zweite Teile S/Dh2 der Source/Drain-Gebiete S/D2 des Hochvolt-Transistors der Peripherie erzeugt. Dabei dienen die ersten Spacer Sp1, die Wortleitungen, die zweiten Spacer Sp2, die Gateelektrode Ga1 des Transistors der Peripherie und der Steg aus Fotolack F als Maske. Die zweiten Teile S/Dh der Source/Drain-Gebiete S/D der
- 20 Transistoren der Speicherzellen und die zweiten Teile S/Dh1 der Source/Drain-Gebiete S/D1 des Transistors der Peripherie entstehen also selbstjustiert (s. Figur 6a,b,c). Das Streuoxid und vom Steg aus Fotolack F nicht bedeckte Teile des Postoxids P werden mit z.B. HF entfernt. Der Steg aus Fotolack F wird entfernt.
- 25
- 30
- Anschließend wird Titan in einer Dicke von ca. 30 nm abgeschieden. Durch Tempern wird eine selektive Silizierung durchgeführt, wodurch die Source/Drain-Gebiete S/D der Transistoren der Speicherzellen, die Source/Drain-Gebiete S/D1 des Transistors der Peripherie und Teile der Source/Drain-Gebiete S/D2 des Hochvolt-Transistors der Peripherie, die
- 35

nicht vom Postoxid P bedeckt sind, die Wortleitungen, die Gateelektrode Ga1 des Transistors der Peripherie und Teile der Gateelektrode Ga2 des Hochvolt-Transistors der Peripherie, die nicht vom Postoxid P bedeckt sind, mit leitenden Strukturen L versehen werden (s. Figur 6a,b,c). Übrigbleibendes Titan wird mit z.B.  $H_2O_2/NH_3$  entfernt.

Der erste Bereich des Substrats 1 ist der Bereich der Speicherzellen und der zweite Bereich ist der Bereich der Peripherie der Speicherzellenanordnung.

Die Speicherzellen sind in Blöcken zusammengefaßt. Zwei entlang der x-Achse X benachbarte erste isolierende Strukturen I1 gehören zu verschiedenen Blöcken. Ein Source/Drain-Gebiet (S/D) von entlang der x-Achse X benachbarten Transistoren ist mit einem Bitleitungs-Kontakt K versehen. Acht entlang der x-Achse X benachbarte Transistoren der Speicherzellen sind einem der Blöcke zugeordnet, sind in Reihe geschaltet und bilden Teile von Bitleitungen (s. Figur 7a).

Jede Speicherzelle der hergestellten Speicherzellenanordnung umfaßt einen planaren Transistor, dessen Kanalgebiet Ka an einem Boden einer der Vertiefungen V ausgebildet ist. Keine Verbindungslinie zwischen zwei Source/Drain-Gebieten S/D des Transistors verläuft parallel zur y-Achse Y und zum Verlauf der Wortleitung. Der Stromfluß des Transistors verläuft parallel zur x-Achse X. Senkrecht zur y-Achse Y benachbarte Transistoren teilen sich ein gemeinsames Source/Drain-Gebiet S/D.

Es sind viele Variationen der Ausführungsbeispiele denkbar, die ebenfalls im Rahmen der Erfindung liegen. Insbesondere können die Abmessungen der beschriebenen Schichten, Vertiefungen, Masken, Spacer und Strukturen nach Belieben an die jeweiligen Erfordernisse angepaßt werden. Dasselbe gilt auch für die vorgeschlagenen Dotierstoffkonzentrationen.

Es kann auch eine von acht verschiedene Zahl, z.B. sechzehn, von entlang der x-Achse X benachbarten Transistoren der Speicherzellen einem Block zugeordnet werden, die in Reihe geschaltet und bilden Teile von Bitleitungen sind. In diesem Fall wird die zur x-Achse X parallele Abmessung der ersten isolierenden Struktur so angepaßt, daß diese Transistoren an sie angrenzen.

Durch geringfügige Veränderung des Ausführungsbeispiels läßt sich eine elektrisch programmierbare Speicherzellenanordnung herstellen, bei der die entlang der y-Achse Y\* benachbarten Transistoren parallel zueinander geschaltet sind. Dazu werden Bitleitungen erzeugt, die über Kontakte K\* mit jeweils einem Source/Drain-Gebiet S/D\* von jedem Transistor verbunden werden (s. Figur 7b). Zur x-Achse X\* parallele Abmessungen der ersten isolierenden Strukturen I1\* betragen z.B. 1000 nm, wenn zwischen entlang der x-Achse X\* benachbarte erste isolierende Strukturen I1\* ein gemeinsames Source/Drain-Gebiet S/D\* von entlang der y-Achse Y\* benachbarten Transistoren angeordnet ist und die benachbarten Transistoren bezüglich der y-Achse Y\* achsensymmetrisch zueinander sind.



## Patentansprüche

1. Elektrisch programmierbare Speicherzellenanordnung,
  - 5 - bei der in einem Substrat (1) Speicherzellen angeordnet sind, die jeweils einen planaren Transistor umfassen,
  - bei der an mindestens einem Teil eines Bodens einer Vertiefung (V) ein Kanalgebiet (Ka) des Transistors im Substrat (1) angeordnet ist,
  - 10 - bei der der Boden der Vertiefung (V) im Bereich des Kanalgebiets (Ka) mit einem ersten Dielektrikum (D1) versehen ist,
  - bei der ein zu einer Oberfläche (O) des Substrats (1) paralleler Querschnitt durch das Kanalgebiet (Ka) zwei Source/Drain-Gebiete (S/D) des Transistors schneidet,
  - 15 - bei der eine Floating-Gateelektrode (Gf) des Transistors an das erste Dielektrikum (D1) angrenzt und teilweise an mindestens zwei sich gegenüberliegenden Flanken der Vertiefung (V) angeordnet ist, und die Vertiefung (V) durch die Floating-Gateelektrode (Gf) verengt aber nicht ausgefüllt ist,
  - 20 - bei der über der Floating-Gateelektrode (Gf) eine Kontroll-Gateelektrode (Gk) angeordnet ist, die durch ein zweites Dielektrikum (D2) von der Floating-Gateelektrode (Gf) isoliert ist,
  - 25 - bei der die zwei Source/Drain-Gebiete (S/D) an die zwei Flanken der Vertiefung (V) angrenzen,
  - bei der zur Vermeidung einer Kapazität zwischen den Source/Drain-Gebieten (S/D) und der Floating-Gateelektrode (Gf) die zwei Flanken der Vertiefung (V) mit einer Isolation (I) versehen sind, und jene Teile der Floating-Gateelektrode
  - 30 (Gf), die an den zwei Flanken der Vertiefung (V) angeordnet sind, an die Isolation (I), angrenzen.
2. Speicherzellenanordnung nach Anspruch 1,
  - 35 - bei der keine Verbindungslinie zwischen den zwei Source/Drain-Gebieten (S/D) parallel zum Verlauf einer Wortlei-

tung ist, die elektrisch mit der Kontroll-Gateelektrode (Gk) verbunden ist.

3. Speicherzellenanordnung nach Anspruch 1 oder 2,

- 5 - bei der die Vertiefung (V) zwischen zwei isolierenden Strukturen (I1) angeordnet ist, die zwei weitere Flanken der Vertiefung (V) bilden, an die die Floating-Gateelektrode (Gf) ebenfalls angrenzt.

- 10 4. Speicherzellenanordnung nach einem der Ansprüche 1 bis 3,  
- bei der die Floating-Gateelektrode (Gf) nicht aus der Vertiefung (V) herausragt.

5. Speicherzellenanordnung nach einem der Ansprüche 1 bis 4,

- 15 - bei der die zwei Source/Drain-Gebiete (S/D) jeweils einen ersten Teil (LDD), der an eine der zwei Flanken der Vertiefung (V) und an das Kanalgebiet (Ka) angrenzt, und einen zweiten Teil (S/Dh), der höher als der erste Teil (LDD) dotiert ist und an ihn angrenzt, umfassen.

20

6. Speicherzellenanordnung nach einem der Ansprüche 1 bis 5,

- bei der quer zur Wortleitung zueinander benachbarte Transistoren in Reihe geschaltet sind und eine Bitleitung bilden  
- bei der jeweils zwei der quer zur Wortleitung zueinander  
25 benachbarten Transistoren ein gemeinsames Source/Drain-Gebiet (S/D) aufweisen.

7. Speicherzellenanordnung nach einem der Ansprüche 1 bis 6,

- bei der die quer zur Wortleitung zueinander benachbarten  
30 Transistoren parallel zueinander geschaltet sind, und jeweils eines ihrer Source/Drain-Gebiete (S/D) mit der Bitleitung verbunden ist,  
- bei der jeweils zwei der quer zur Wortleitung zueinander benachbarten Transistoren ein gemeinsames Source/Drain-  
35 Gebiet (S/D) aufweisen.

8. Speicherzellenanordnung nach einem der Ansprüche 1 bis 7,  
- bei der in dem Substrat (1) eine Peripherie der Speicherzellenanordnung angeordnet ist, die planare Transistoren und/oder planare Hochvolt-Transistoren umfaßt.

5

9. Verfahren zur Herstellung einer elektrisch programmierbaren Speicherzellenanordnung,  
- bei dem in einem Substrat (1) eine Vertiefung (V) erzeugt wird, deren Boden mindestens teilweise mit einem ersten Dielektrikum (D1) versehen wird,  
10 - bei dem in dem Substrat (1) ein Kanalgebiet (Ka) eines einer Speicherzelle zugeordneten planaren Transistors erzeugt wird, das an das erste Dielektrikum (D1) angrenzt,  
- bei dem zwei Source/Drain-Gebiete (S/D) des Transistors so  
15 durch Implantation einer Oberfläche (O) des Substrats (1) gebildet werden, daß sie an zwei sich gegenüberliegenden Flanken der Vertiefung (V) angrenzen und daß ein zu einer Oberfläche (O) des Substrats (1) paralleler Querschnitt durch das Kanalgebiet (Ka) die Source/Drain-Gebiete (S/D)  
20 schneidet,  
- bei dem die zwei Flanken der Vertiefung (V) mit einer Isolation (I) versehen werden,  
- bei dem die Vertiefung (V) durch Aufbringen einer leitenden ersten Schicht (L1) verengt aber nicht ausgefüllt wird, und  
25 durch Strukturierung der leitenden ersten Schicht (L1) eine Floating-Gateelektrode (Gf) des Transistors erzeugt wird, wodurch die Floating-Gateelektrode (Gf) an das erste Dielektrikum (D1) und an die Isolation (I), die die Ausbildung einer Kapazität zwischen der Floating-Gateelektrode (Gf)  
30 und den Source/Drain-Gebieten (S/D) verhindert, angrenzt,  
- bei dem über der Floating-Gateelektrode (Gf) ein zweites Dielektrikum (D2) und über das zweite Dielektrikum (D2) eine Kontroll-Gateelektrode (Gk) erzeugt werden.

35

10. Verfahren nach Anspruch 9,  
- bei dem eine Wortleitung so erzeugt wird, daß sie mit der Kontroll-Gateelektrode (Gk) elektrisch verbunden ist, und

keine Verbindungslinie zwischen den zwei Source/Drain-Gebieten (S/D) parallel zum Verlauf der Wortleitung ist.

11. Verfahren nach Anspruch 9 oder 10,

- 5 - bei dem die Vertiefung (V) zwischen zwei ersten isolierenden Strukturen (I1) erzeugt wird, die zwei weitere Flanken der Vertiefung (V) bilden,
- bei dem die Floating-Gateelektrode (Gf) so strukturiert wird, daß sie auch an die ersten isolierenden Strukturen
- 10 (I1) und damit an mindestens vier Flanken der Vertiefung (V) angrenzt.

12. Verfahren nach einem der Ansprüche 9 bis 11,

- bei dem nach Erzeugung der leitenden ersten Schicht (L1)
- 15 zur Erzeugung der Floating-Gateelektrode (Gf) Planarisierungs-Material abgeschieden und planarisiert wird, bis außerhalb der Vertiefung (V) befindliche Teile der leitenden ersten Schicht (L1) freigelegt werden,
- bei dem planarisiert wird, bis die außerhalb der Vertiefung
- 20 (V) befindlichen Teile der leitenden ersten Schicht (L1) entfernt werden, wodurch die Floating-Gateelektrode (Gf) entsteht, die aus der Vertiefung (V) nicht herausragt.

13. Verfahren nach einem der Ansprüche 9 bis 12,

- 25 - bei dem für die zwei Source/Drain-Gebiete (S/D) jeweils ein erster Teil (LDD) erzeugt wird, der an eine der zwei Flanken der Vertiefung (V) und an das Kanalgebiet (Ka) angrenzt,
- bei dem nach Erzeugung der Wortleitung Material abgeschieden und rückgeätzt wird, wodurch entlang Flanken der Wort-
- 30 leitung Spacer (Sp1) entstehen,
- bei dem für die zwei Source/Drain-Gebiete (S/D) durch Implantation mit Hilfe der Spacer (Sp1) als Maske jeweils ein zweiter Teil (S/Dh) erzeugt wird, der höher als der erste
- 35 Teil (LDD) dotiert ist und an ihn angrenzt.

14. Verfahren nach einem der Ansprüche 9 bis 13,
- bei dem zwischen zwei quer zur Wortleitung zueinander benachbarten Vertiefungen (V) ein gemeinsames Source/Drain-Gebiet (S/D) zweier Transistoren erzeugt wird,
- 5    - bei dem eine Bitleitung durch quer zur Wortleitung zueinander benachbarte in Reihe geschaltete Transistoren gebildet wird.
15. Verfahren nach einem der Ansprüche 9 bis 13,
- 10    - bei dem zwischen zwei quer zur Wortleitung zueinander benachbarten Vertiefungen (V) ein gemeinsames Source/Drain-Gebiet (S/D) zweier Transistoren erzeugt wird,
- bei dem eine Bitleitung erzeugt wird, die mit jeweils einem Source/Drain-Gebiet (S/D) von quer zur Wortleitung zueinander benachbarten Transistoren verbunden wird.
- 15
16. Verfahren nach einem der Ansprüche 9 bis 15,
- bei dem in dem Substrat (1) zusammen mit den ersten isolierenden Strukturen (I1) mindestens eine zweite isolierende
- 20    Struktur (I2) eines planaren Transistors einer Peripherie der Speicherzellenanordnung und/oder eine dritte isolierende Struktur (I3) eines planaren Hochvolt-Transistors der Peripherie erzeugt werden,
  - bei dem vor Erzeugung der Kontroll-Gateelektrode (Gk) ein

25    Gatedielektrikum (Gd1) des Transistors der Peripherie und ein Gatedielektrikum (Gd2) des Hochvolt-Transistors der Peripherie erzeugt werden,
  - bei dem eine zweite Schicht (L2) aufgebracht und strukturiert wird, wodurch die Kontroll-Gateelektrode (Gk), die

30    Teil der Wortleitung ist, eine Gateelektrode (Ga1) des Transistors der Peripherie und eine Gateelektrode (Ga2) des Hochvolt-Transistors der Peripherie entstehen,
  - bei dem die ersten Teile (LDD) der zwei Source/Drain-Gebiete (S/D) des Transistors der Speicherzelle, erste Teile

35    (LDD1) von Source/Drain-Gebieten (S/D1) des Transistors der Peripherie und erste Teile (LDD2) von Source/Drain-Gebieten (S/D2) des Hochvolt-Transistors der Peripherie

durch Implantation erzeugt werden, wobei die Wortleitung, die Gateelektrode (Ga1) des Transistors der Peripherie und die Gateelektrode (Ga2) des Hochvolt-Transistors der Peripherie als Masken wirken,

- 5 - bei dem zusammen mit den Spacern (Sp1) weitere Spacer (Sp2) an Flanken der Gateelektrode des Transistors der Peripherie (Ga1) erzeugt werden,
- bei dem zusammen mit den zweiten Teilen (S/Dh) der zwei Source/Drain-Gebiete (S/D) des Transistors der Speicherzelle
- 10 le zweite Teile (S/Dh1) der Source/Drain-Gebiete (S/D1) des Transistors der Peripherie und zweite Teile (S/Dh2) der Source/Drain-Gebiete (S/D2) des Hochvolt-Transistors der Peripherie erzeugt werden, wobei mindestens die Spacer (Sp1) und die weiteren Spacer (Sp2) als Maske wirken.

1/6

FIG 1a

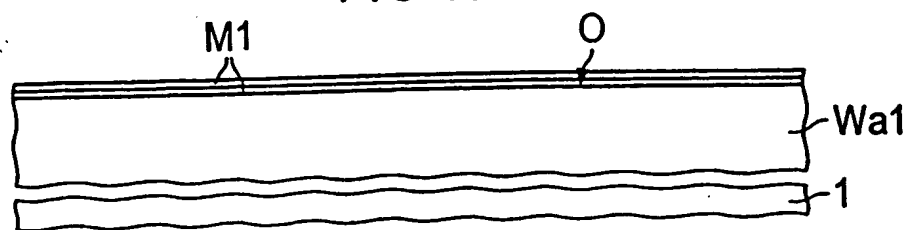


FIG 1b

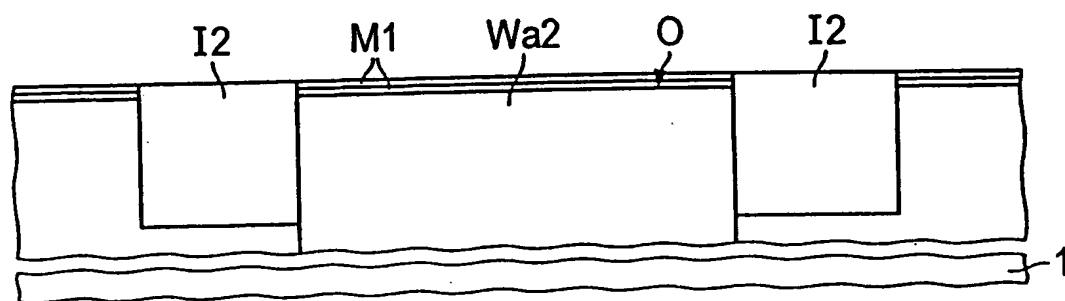


FIG 1c

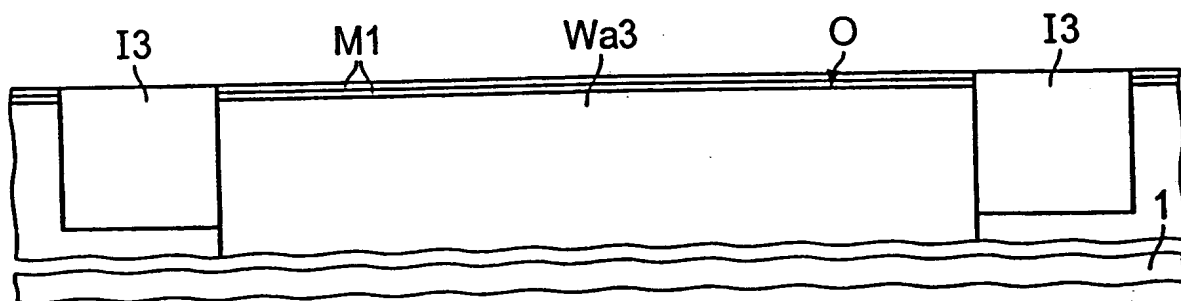
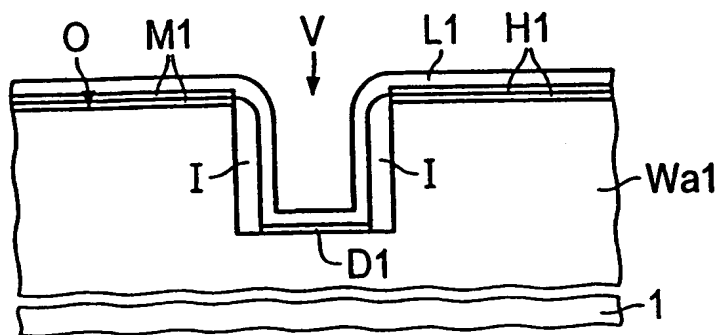


FIG 2



2/6

FIG 3

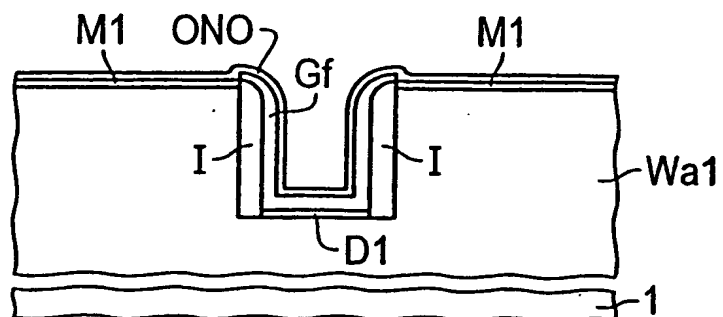


FIG 4a

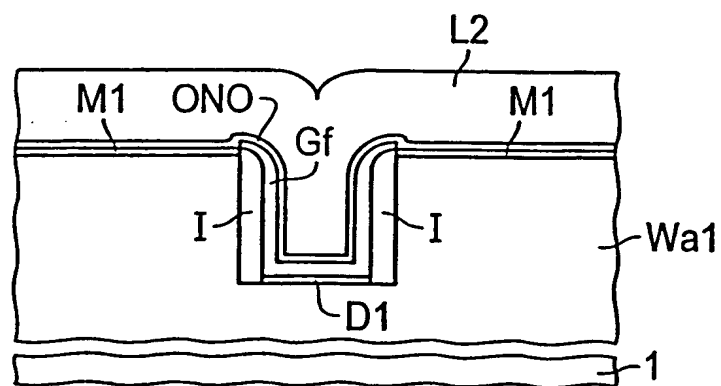
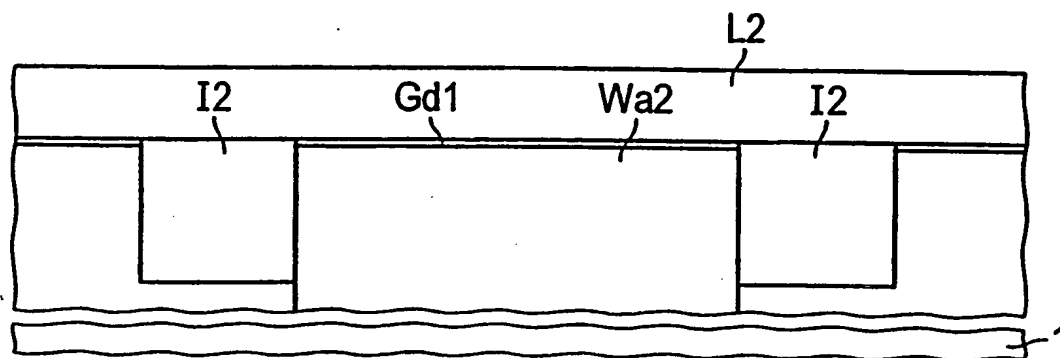


FIG 4b





3/6

FIG 4c

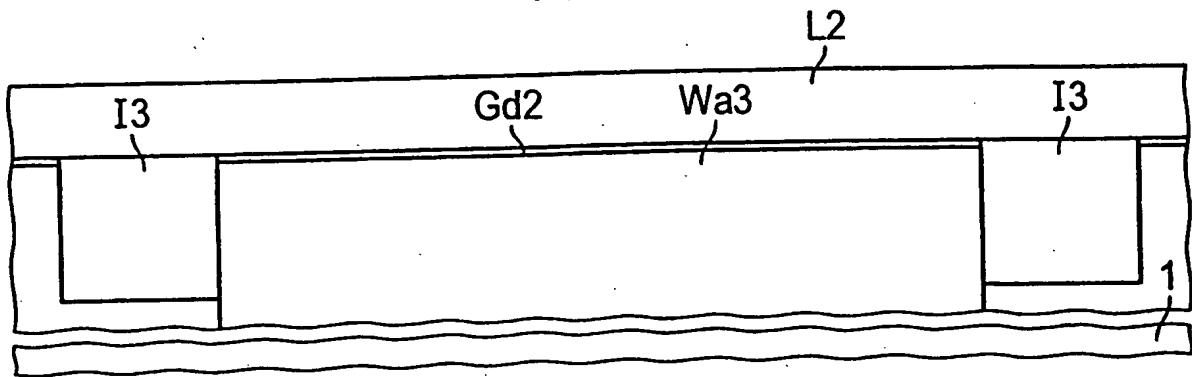


FIG 5a

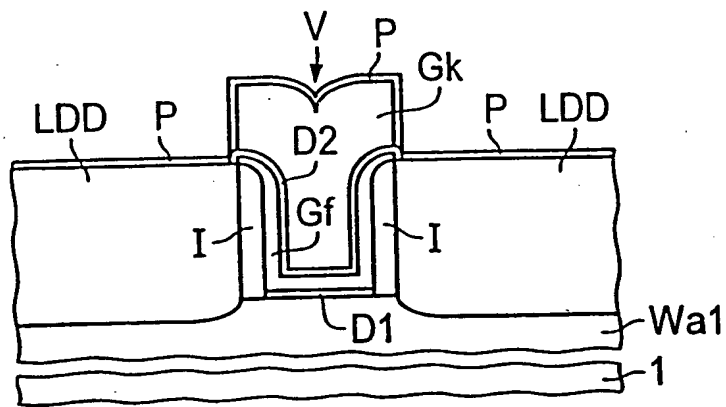
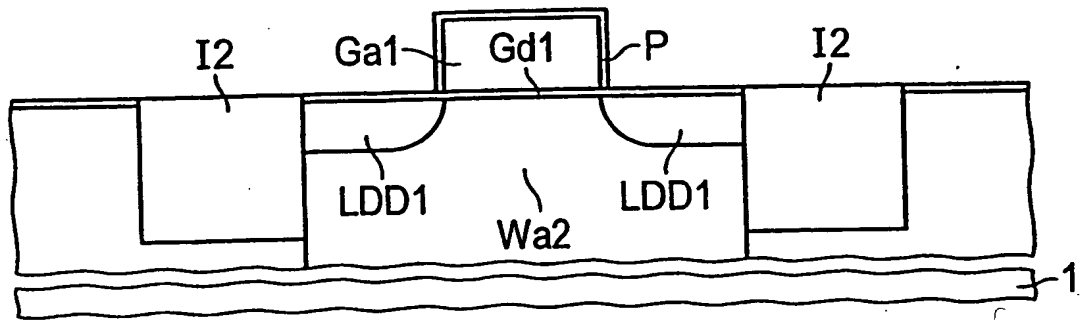


FIG 5b



4/6

FIG 5c

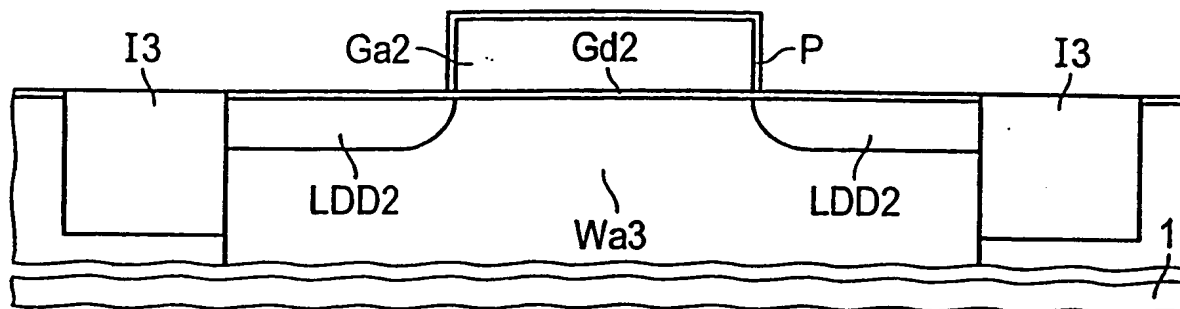


FIG 5d

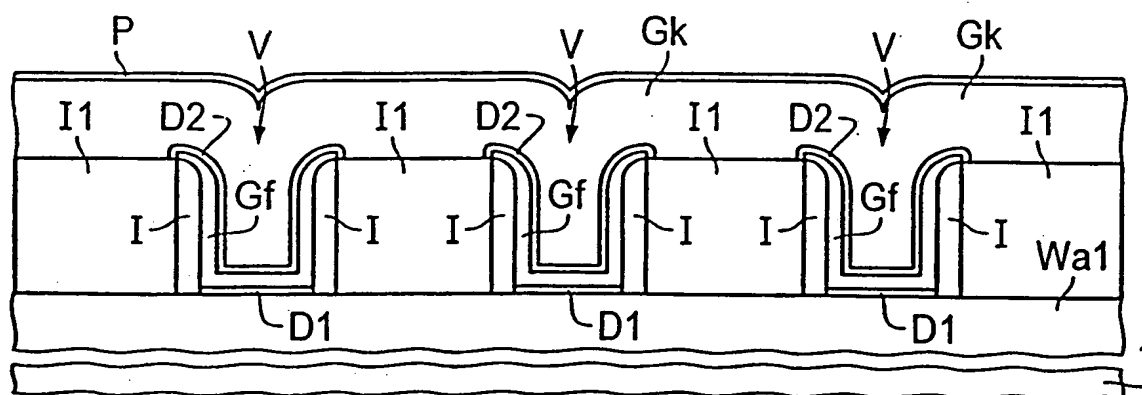
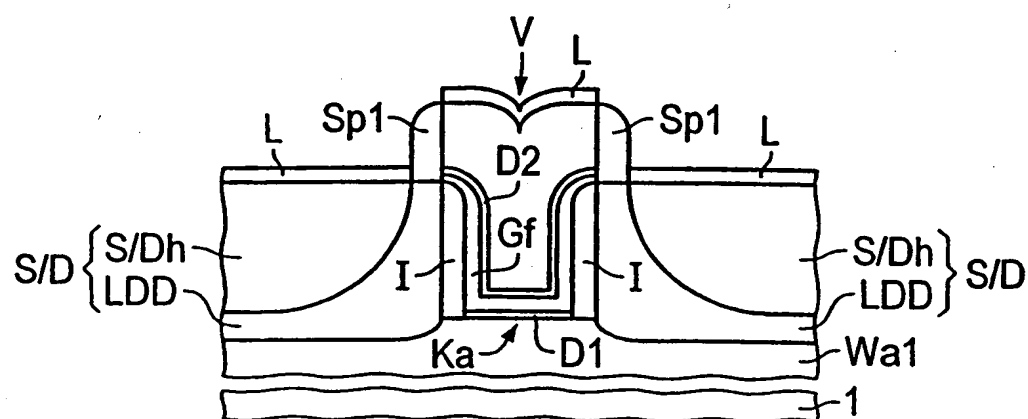


FIG 6a



5/6

FIG 6b

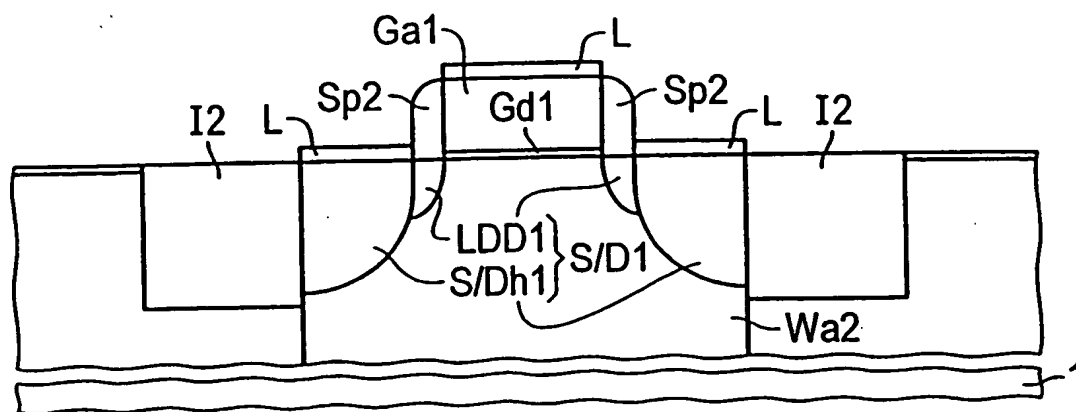
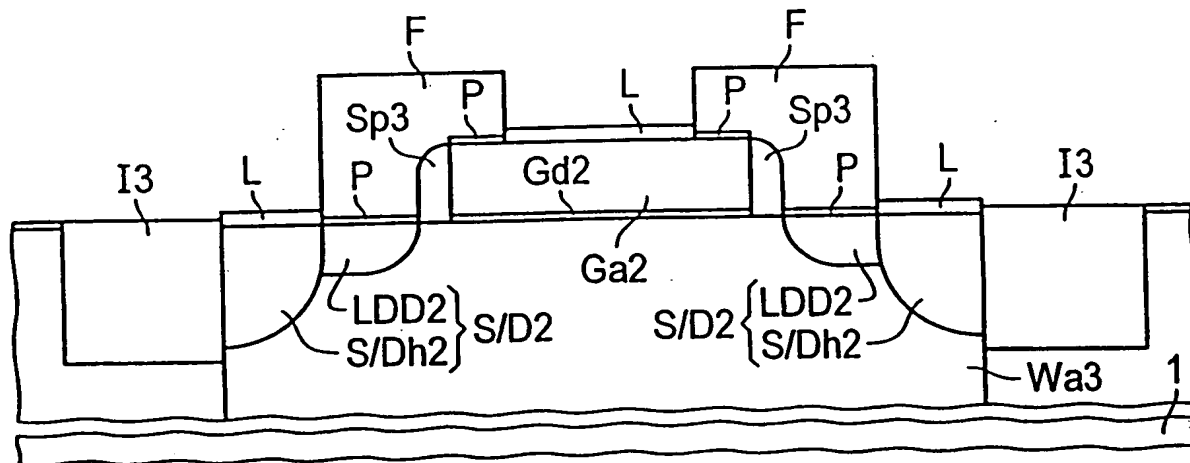


FIG 6c



6/6

FIG 7a

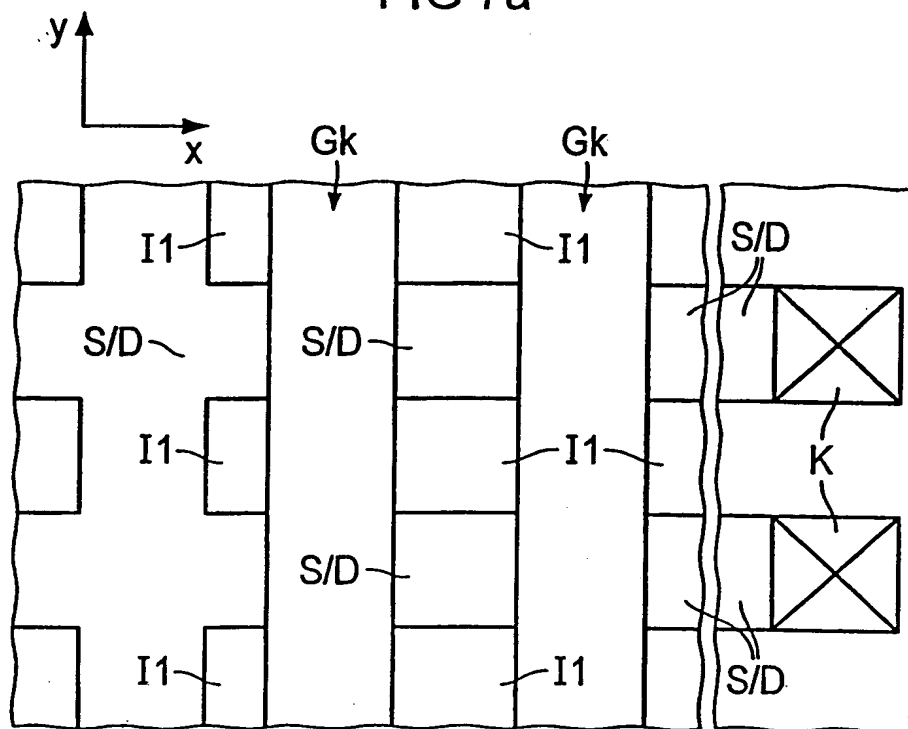
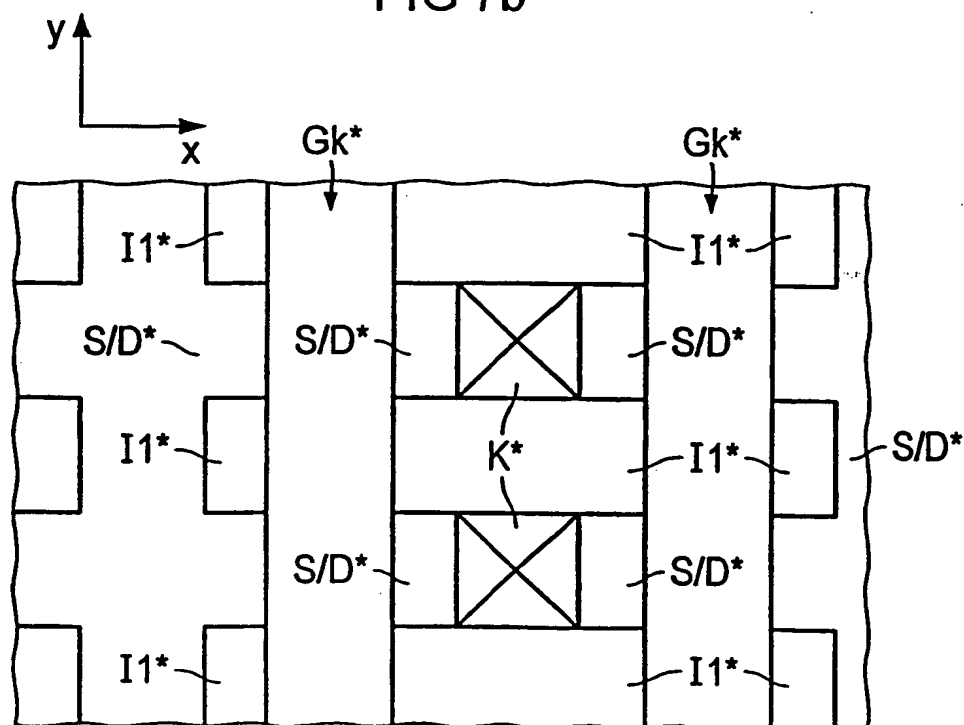


FIG 7b



# INTERNATIONAL SEARCH REPORT

In. tional Application No  
PCT/DE 99/00417

**A. CLASSIFICATION OF SUBJECT MATTER**  
IPC 6 H01L27/115 H01L21/8247 H01L29/788 G11C16/04

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
IPC 6 H01L G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 979 004 A (ESQUIVEL AGERICO L ET AL) 18 December 1990 (1990-12-18)	1-3,6,7, 9,10,14, 15
Y	column 4, line 16 - column 8, line 14; figures 1-7I	4,8,11, 12
Y	EP 0 562 307 A (IBM) 29 September 1993 (1993-09-29)	4,11,12
A	page 5, column 5, line 22 - page 8, column 12, line 43; figures 2-12	1-3,6,7, 9,10,14, 15
Y	PATENT ABSTRACTS OF JAPAN vol. 016, no. 465 (E-1270), 28 September 1992 (1992-09-28)	8
A	& JP 04 164372 A (TOSHIBA CORP;OTHERS: 01), 10 June 1992 (1992-06-10) abstract	1,9,16

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

\* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

7 July 1999

Date of mailing of the international search report

15/07/1999

Name and mailing address of the ISA  
European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Albrecht, C

# INTERNATIONAL SEARCH REPORT

In International Application No  
PCT/DE 99/00417

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 486 714 A (HONG GARY) 23 January 1996 (1996-01-23) cited in the application abstract	1,5,9,13
A	----- PATENT ABSTRACTS OF JAPAN vol. 015, no. 106 (E-1044), 13 March 1991 (1991-03-13) & JP 02 310971 A (NEC CORP), 26 December 1990 (1990-12-26) abstract	5
A	----- WO 97 36332 A (PHILIPS ELECTRONICS NV ;PHILIPS NORDEN AB (SE)) 2 October 1997 (1997-10-02) abstract -----	8,16

# INTERNATIONAL SEARCH REPORT

Information on patent family members

Int .tional Application No

PCT/DE 99/00417

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 4979004 A	18-12-1990	US 5045490 A US 5053839 A JP 2005487 A KR 128063 B	03-09-1991 01-10-1991 10-01-1990 02-04-1998
EP 0562307 A	29-09-1993	US 5315142 A JP 2566716 B JP 6085274 A US 5567635 A	24-05-1994 25-12-1996 25-03-1994 22-10-1996
JP 04164372 A	10-06-1992	NONE	
US 5486714 A	23-01-1996	US 5429970 A	04-07-1995
JP 02310971 A	26-12-1990	JP 2806552 B	30-09-1998
WO 9736332 A	02-10-1997	CN 1193414 A EP 0827634 A US 5879990 A	16-09-1998 11-03-1998 09-03-1999

# INTERNATIONALER RECHERCHENBERICHT

Int. dionales Aktenzeichen

PCT/DE 99/00417

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 6 H01L27/115 H01L21/8247 H01L29/788 G11C16/04

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 6 H01L G11C

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 4 979 004 A (ESQUIVEL AGERICO L ET AL) 18. Dezember 1990 (1990-12-18)	1-3,6,7, 9,10,14, 15
Y	Spalte 4, Zeile 16 - Spalte 8, Zeile 14; Abbildungen 1-7I	4,8,11, 12
Y	EP 0 562 307 A (IBM) 29. September 1993 (1993-09-29)	4,11,12
A	Seite 5, Spalte 5, Zeile 22 - Seite 8, Spalte 12, Zeile 43; Abbildungen 2-12	1-3,6,7, 9,10,14, 15
Y	PATENT ABSTRACTS OF JAPAN vol. 016, no. 465 (E-1270), 28. September 1992 (1992-09-28)	8
A	& JP 04 164372 A (TOSHIBA CORP; OTHERS: 01), 10. Juni 1992 (1992-06-10) Zusammenfassung	1,9,16
	--- -/-	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

7. Juli 1999

Absenddatum des internationalen Recherchenberichts

15/07/1999

Name und Postanschrift der Internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Albrecht, C



# INTERNATIONALER RECHERCHENBERICHT

In nationales Aktenzeichen

PCT/DE 99/00417

## C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 486 714 A (HONG GARY) 23. Januar 1996 (1996-01-23) in der Anmeldung erwähnt Zusammenfassung ---	1,5,9,13
A	PATENT ABSTRACTS OF JAPAN vol. 015, no. 106 (E-1044), 13. März 1991 (1991-03-13) & JP 02 310971 A (NEC CORP), 26. Dezember 1990 (1990-12-26) Zusammenfassung ----	5
A	WO 97 36332 A (PHILIPS ELECTRONICS NV ;PHILIPS NORDEN AB (SE)) 2. Oktober 1997 (1997-10-02) Zusammenfassung -----	8,16

**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**